

⑫ 公開特許公報(A) 平2-50957

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月20日

C 23 C 14/34

8520-4K

審査請求 未請求 請求項の数 6 (全7頁)

⑮ 発明の名称 スパッタリング装置

⑯ 特 願 昭63-201375

⑰ 出 願 昭63(1988)8月12日

⑱ 発 明 者 鈴木 伸 昌 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑲ 発 明 者 山 上 敦 士 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

㉑ 代 理 人 弁理士 荻上 豊規

明 細 書

1. 発明の名称

スパッタリング装置

2. 特許請求の範囲

(1) 被スパッタリングターゲットを載置した電極に交流もしくは負の直流電圧を印加する手段を有するスパッタリング装置において、該ターゲットからのスパッタリング粒子を帯電させる手段と該帯電粒子の基板への入射方向を電気的に制御する手段を有することを特徴とするスパッタリング装置。

(2) 前記帯電手段が、スパッタリング粒子のイオン化エネルギーに対応する波長よりも短波長の光を照射することによるものである請求項(1)に記載のスパッタリング装置。

(3) 前記帯電手段が、スパッタリング粒子を熱フイルAMENTにさらすことによるものである請求項(1)に記載のスパッタリング装置。

(4) 前記帯電手段が、スパッタリング粒子に電子ビームを照射することによるものである請求項

(1)に記載のスパッタリング装置。

(5) 前記入射方向制御手段が、基板に交流もしくは負の直流バイアスを印加することによるものである請求項(1)乃至(4)のいずれかに記載のスパッタリング装置。

(6) 前記入射方向制御手段が、基板に平行と垂直に二組の平行平板電極を設け、該平行平板電極のそれぞれに印加する直流電圧の比を制御することによるものである請求項(1)乃至(4)のいずれかに記載のスパッタリング装置。

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は、半導体素子製造に用いるスパッタリング装置、特に、平坦な配線用A膜を低ダメージで高速に形成するスパッタリング装置に関する。

〔従来技術の説明〕

従来配線用A膜の形成にはスパッタリング装置が用いられてきた。第3図に、代表的なスパッタリング法である平行平板型スパッタリング法を

示す。301は真空室、302はSiなどの基板、303は基板302の支持体、304はArなどの雰囲気ガスの導入管、305は排気口、306は高周波電源、307は高周波電源306に接続された電極、308は電極307に設置されたターゲットである。電極307に設置されたターゲット308の対向位置にある基板支持体303上に基板302を置いて、電極307に高周波電力を印加し、プラズマ反応で生成した雰囲気ガスのイオンによりターゲット308をスパッタリングして基板302上に薄膜を形成するものである。

しかし、素子のパターンの微細化に伴ない、下地層間絶縁膜の開孔部のアスペクト比（高さ／幅）が0.5以上になってくると、スパッタリング法ではいわゆるセルフシャドウイング効果、すなわち段差上部特にエッジ部分に厚く堆積した膜が段差下部への堆積を妨げる為、段差被覆性が極端に悪くなり、信頼性が低下するという問題があった。第5図は従来例のスパッタリング法による段差被覆性を示す成膜後の基板の断面図である。(a)

3

しかしこの方法は堆積速度が遅い点や十分な段差被覆性を得る為に高いバイアスを印加し、イオンエネルギーを高めると、イオン衝撃により下地基板がダメージをうけ素子の電気的特性が劣化するという欠点があった。

一方、格子状フィルタを用いてA₂粒子の基板への入射角を制御し、段差下部への堆積を増加させて段差被覆性を改善する装置が検討されている。例えば、昭和63年春季応用物理学関係連合講演会講演予稿集第2巻 P.640 講演番号29P-V-4に示されている。

第4図に格子状フィルタを用いたバイアススパッタリング装置を示し、401は真空室、402はSiなどの基板、403は基板402の支持体、404はArなどの雰囲気ガスの導入管、405は排気口、406は高周波電源、407は高周波電源406に接続された電極、408は電極407に設置されたターゲット、409は基板402に負バイアスを印加する直流電源、410は被スパッタリング粒子の基板への入射角を制限

は平行平板型スパッタリング法によるもの、(b)はバイアススパッタリング法によるもの、(c)は格子状フィルタを用いたバイアススパッタリング法によるものであり、501はSi基板、502はSiO₂パターン（幅1.2μm、高さ0.6μm）、503は堆積したA₂膜である。第5図(b)に示される平行平板型スパッタリング法による段差被覆性は非常に悪い。

この問題を解決する装置としてバイアススパッタリング装置が開発されてきた。

バイアススパッタリング法は第3図において、基板302に負のバイアスを高周波又は直流電圧により印加しつつ、通常スパッタリング法と同様にターゲットをスパッタリングする方法であり、堆積と同時に段差下部への堆積を妨げている段差上部特にエッジ部分に堆積した膜のエッチングを行なうことにより、段差被覆性を改善しようとするものであり、-100V～500V程度のバイアスで、第5図(b)に示されるように極めて良好な段差被覆性が得られている。

4

する格子状フィルタである。基板402上方に基板402に垂直に近い入射角をもつ被スパッタリング粒子のみを通す格子状フィルタ410を設置しつつ、通常スパッタリング法と同様にターゲットをスパッタリングする装置であり、段差下部への堆積が増加するので、比較的低いバイアスで、第5図(c)に示されるように良好な段差被覆性が得られている。

しかしながら上記従来例では、

- (i) 高角度入射成分がフィルタにけられる為、その分堆積速度が低下する。
- (ii) フィルタを用いない場合よりはむしろ、-100V以上のバイアスが必要でダメージが発生しやすく、堆積速度もバイアスを印加しない場合よりは低下する。

などの問題がある。

（発明の目的）

本発明は、従来の格子状フィルタを用いるバイアススパッタリング装置における問題点を解決し、段差被覆性に優れた薄膜形成を基板ダメージの発

生なく高速に行なう装置を提供することを目的とする。

(発明の構成・効果)

格子状フィルタを用いたバイアススパッタリング装置による前述の問題点は、被スパッタリング粒子の多くが電氣的に中性であり、入射方向を容易に制御できる電氣的手段を用いることができず、不要な入射角をもつ粒子を遮へいするという物理的手段を用いざるを得ないことに起因している。

そこで本発明者らは、被スパッタリング粒子を帯電する手段の検討を行なった。

そして、 $A\lambda$ 粒子に200nmよりも短い波長をもつ光を照射することにより有効にイオン化することを見い出した。又、他に、熱フィラメント(グリッド付)や電子ビームによってもイオン化しやすかった。

本発明は上述の知見に基づいて完成されたものであり、従来の格子状フィルタを用いたバイアススパッタリング装置による前述の問題点を解決し、前記目的を達成するものである。

7

する直流電源である。

まず、支持体103上に基板102を置き、排気手段(不図示)により真空室101内を 10^{-7} Torr以下まで排気した後、Arなどの雰囲気ガスを導入管104から反応室101に導入し、排気口105とポンプ間に設けられたコンダクタンスバルブ(不図示)を調節し、圧を $10^{-6}\sim 10^{-7}$ Torr、望ましくは $10^{-7}\sim 10^{-8}$ Torrに保つ。高周波電源106からの高周波電圧を電極107に印加し、プラズマスパッタリングにより $A\lambda$ などのターゲット材108からスパッタリング粒子を放出する。放出されたスパッタリング粒子は、窓110を通して反応室101内に導入された光源109からの光によりイオン化される。光の波長はスパッタリング粒子のイオン化電位に対応する波長より短かく、例えば $A\lambda$ の場合はArFエキシマレーザの193nmが適している。ミラー111は窓110の部分を除いた反応室101の内壁に円筒状に設けられ、光を多重反射し、スパッタリング粒子のイオン化効率を上げ

9

即ち、本発明によれば、スパッタリング装置に、スパッタリング粒子を帯電する手段と帯電粒子の基板への入射方向を電氣的に制御する手段を設けることにより、段差被覆性に優れた薄膜形成を基板ダメージの発生なく高速に行なうことを可能にしたものである。

以下に、本発明の内容を図面の実施例により説明する。

装置例1

第1図は本発明の第1の実施例を示す装置の断面図であり、101は真空室、102はSiなどの基板、103は基板102の支持体、104はArなどの雰囲気ガスの導入管、105は排気口、106は通常13.56MHzの周波数をもつ高周波電源、107は高周波電源106に接続された電極、108は電極107に載置された被スパッタリングターゲット、109はスパッタリング粒子をイオン化する光を発生する光源、110は光を反応室101に導入する窓、111は光を反射するミラー、112は基板にバイアスを印加

8

する役割を担う。基板102には支持体103を通して直流電源112から-10V台のバイアスが印加される。イオン化されたスパッタリング粒子は基板の負バイアスにより加速され基板に垂直に入射する成分が増大する。したがって深い溝や穴の中にも膜が堆積しやすくなる。プラズマ中のイオンエネルギーは高々数Vなので、入射方向を基板にほぼ垂直にする為には-10V台の基板バイアスで充分であり、イオンダメージは問題にならない。

装置例1による膜堆積例

ターゲットとして $A\lambda$ を用い、表1に示された条件で成膜したところ、基板上に形成された幅 $0.8\mu\text{m}$ 、深さ $1.6\mu\text{m}$ の溝中にも他の部分と同様に堆積し、堆積速度は $1.1\mu\text{m}/\text{min}$ であった。

第6図は本発明の薄膜形成方法による段差被覆性を示す成膜後の基板の断面図である。(a)は実施例1によるもの、(b)は実施例2によるものであり、601はSi基板、602は SiO_2 バターン、603は堆積した $A\lambda$ 膜である。第6図(a)に示さ

10

れる実施例 1 による段差被覆性は、溝中にもよく堆積しており良好である。又、基板として MOS 構造上に PSG 膜をコートしたものをを用い、A 膜成膜前後のフラットバンド電圧のシフトを C-V 特性測定より求めたところ、0.2 V 以下と良好だった。第 7 図は使用した基板と測定法を示し、701 は n-Si 基板、702 は SiO₂ ゲート酸化膜 (20 nm 厚)、703 は poly-Si ゲート電極 (300 nm 厚)、704 は PSG 膜 (1 μm 厚)、705 は C-V 測定系、706 は堆積した A 膜で、A 膜 706 の堆積前後に C-V 特性を測定し、イオン衝撃によって生じる電荷捕獲準位を反映したフラットバンド電圧のシフトにより、成膜中のダメージを評価した。

表 1

Ar 流量	120 sccm	Ar フレーズ出力	0.8 J/pulse
圧 力	1×10 ⁻³ Torr	Ar フレーズ繰返し	100 Hz
高周波出力	1 kW	基板 バイアス	-30 V

比較例

1 1

スパッタリングターゲット、209 はスパッタリング粒子をイオン化する W など熱フィラメント、214 は熱フィラメント 209 の電源、210 はプラズマをターゲット付近に閉じ込めるメッシュシールド板、211 は基板 202 に垂直に設置された平行平板電極、212 は平行平板電極 211 の直流電源、213 は基板 202 に直流バイアスを印加する電源である。

まず支持体 203 上に基板 202 を設置し、排気手段 (不図示) により真空室 201 内を 10⁻³ Torr 以下まで排気した後、まず Ar などの雰囲気ガスを導入管 204 から反応室 201 に導入し、排気口 205 とポンプ間に設けられたコンダクタンスバルブ (不図示) を調節し、圧を 10⁻⁴ ~ 10⁻¹ Torr、望ましくは 10⁻² ~ 10⁻³ Torr に保つ。高周波電源 206 からの高周波電圧を電極 207 に印加し、プラズマスパッタリングにより A 膜などのターゲット材 208 からスパッタリング粒子を放出する。放出されたスパッタリング粒子は、電源 214 により加熱されたフィラメン

1 3

第 4 図の格子状フィルタを用いたバイアススパッタリング装置を用いて本発明と同様のカバレッジを得る為表 2 に示された条件で成膜したところ、堆積速度 0.7 μm/min 以下、フラットバンド電圧のシフト 2 V 以上であり、本発明の方が明らかに優れている。

表 2

Ar 流量	120 sccm
圧 力	1×10 ⁻³ Torr
高周波出力	1 kW
基板 バイアス	-150 V
格子制限角度	45°

装置例 2

第 2 図は本発明の第 2 の実施例を示す装置の断面図であり、201 は真空室、202 は Si などの基板、203 は基板 202 の支持体、204 は Ar などの雰囲気ガスの導入管、205 は排気口、206 は通常 13.56 MHz の周波数をもつ高周波電源、207 は高周波電源 206 に接続された電極、208 は電極 207 に設置された被

1 2

ト 209 から発生した熱電子によりイオン化される。平行平板電極 211 間と基板 202—シールド板 210 間にはそれぞれ直流電源 212、213 からの電圧 V₁、V₂ が印加される。V₁、V₂ はダメージの発生を抑える為 -10 V 台に定める。イオン化されたスパッタリング粒子は生じた電界によって並進方向がそろえられ、

$$\theta = \tan^{-1} \frac{V_1 d_x}{V_2 d_z}$$

$$\left\{ \begin{array}{l} d_1 : \text{平行平板電極間隔} \\ d_2 : \text{基板シールド板間隔} \end{array} \right\}$$

で求められる入射角をもって基板 202 に入射する。基板 202 は回転され、堆積の非対称性を解消する。以上の結果、段差の側壁の被覆性が向上する。入射角を二つの電圧の比によって又、入射エネルギーも電圧の絶対値によって制御できるので、様々な段差に最適な条件を選択することができる。又、従来例のようにけられがなく効率よく成膜できる。

装置例 2 による膜堆積例

1 4

ターゲットとしてA₂を用い、表3に示される条件で成膜したところ、基板上に形成された幅0.6 μ m、高さ0.6 μ mのSiO₂段差の側壁にも第5図(b)に示されるようによく堆積し、堆積速度は0.9 μ m/min.であった。又、フラットバンド電圧のシフトも0.2V以下と良好で、前述の従来例より明らかに優れている。

表 3

Ar 流量	120 sccm
圧 力	1×10^{-3} Torr
高周波出力	1 kW
平行平板電極間電圧	-20 V
基板バイアス	-40 V

〔発明の効果の概要〕

以上説明したように、スパッタリング装置に、スパッタリング粒子を帯電する手段と帯電粒子の基板への入射方向を電気的に制御する手段を設けることにより、低ダメージで高速に段差被覆性にすぐれた薄膜形成が可能になる効果がある。

4. 図面の簡単な説明

15

209…熱フィラメント、210…グリッド、211…平行平板電極、212…平行平板電極に電圧を印加する電源、410…格子状フィルタ、501、601、701…Si基板、502、602…SiO₂パターン、503、603、706…堆積したA₂膜、702…ゲート酸化膜、703…poly-Siゲート電極、704…PSG膜、705…C-V測定器。

特許出願人 キヤノン株式会社
代理人 弁理士 荻上豊規

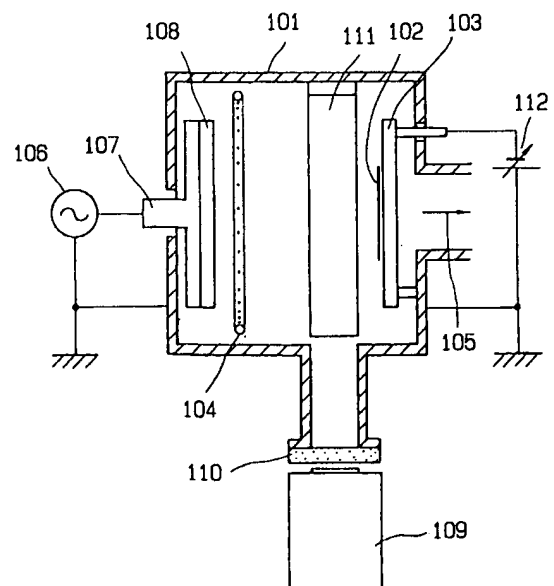


第1図は本発明の実施例1の装置の断面図、第2図は本発明の実施例2の装置の断面図である。第3図は従来の（バイアス）スパッタリング装置の断面図、第4図は従来の格子状フィルタを用いたバイアススパッタリング装置の断面図、第5図は従来例による段差被覆性を示す基板の断面図、第6図は本発明による段差被覆性を示す基板の断面図である。第7図はダメージ評価の際用いた基板の断面図である。

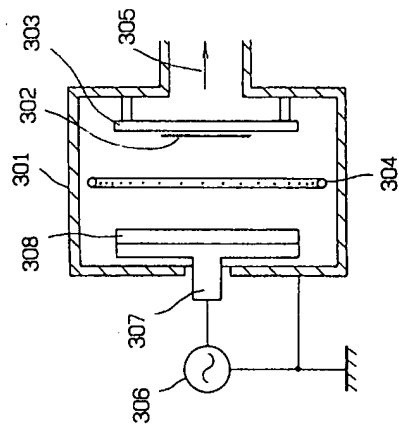
図において、101、201、301、401…真空室、102、202、302、402…基板、103、203、303、403…支持体、104、204、304、404…ガス導入管、105、205、305、405…排気口、106、206、306、406…高周波電源、107、207、307、407…電極、108、208、308、408…ターゲット、109…光源、110…窓、111…ミラー、112、213、409…基板にバイアスを印加する電源、214…フィラメント・グリッド電源、

16

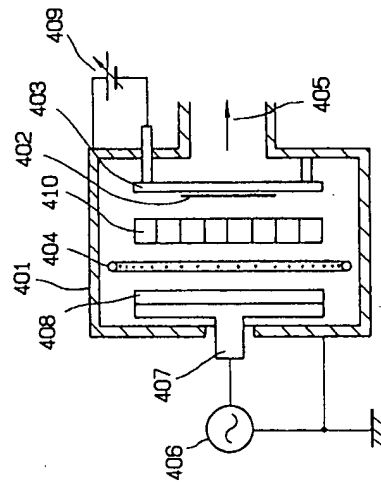
第 1 図



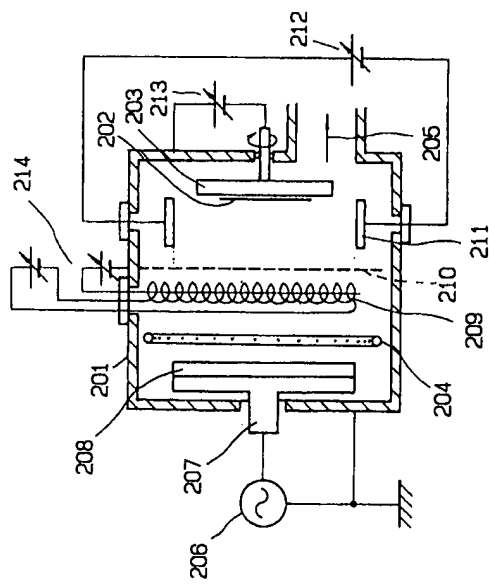
第 3 図



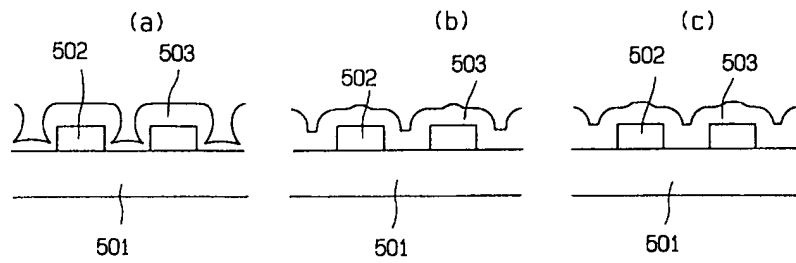
第 4 図



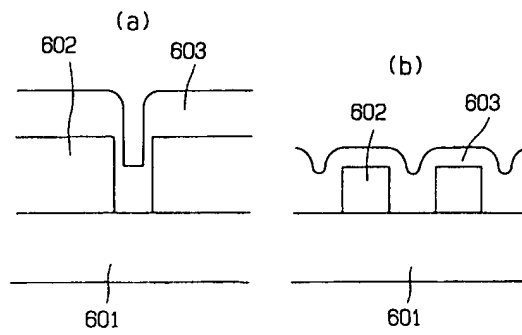
第 2 図



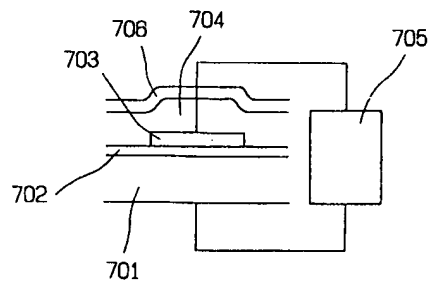
第 5 図



第 6 図



第 7 図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-050957

(43)Date of publication of application : 20.02.1990

(51)Int.Cl.

C23C 14/34

(21)Application number : 63-201375

(71)Applicant : CANON INC

(22)Date of filing : 12.08.1988

(72)Inventor : SUZUKI NOBUMASA
YAMAGAMI ATSUSHI

(54) SPUTTERING DEVICE

(57)Abstract:

PURPOSE: To form a thin film excellent in a property of coating stepped part at high speed without causing damage to a substrate by providing a means of electrifying sputtering grains and electrically controlling the direction of the incidence of the electrified grains on a substrate.

CONSTITUTION: The inside of a vacuum chamber 101 is evacuated, into which an atmospheric gas, such as Ar, is introduced. A high-frequency voltage from a high-frequency electric power source 106 is impressed on an electrode 107, and sputtering grains from a target material 108 are emitted by means of plasma sputtering.

The sputtered grains emitted as mentioned above are ionized by means of light introduced from a light source 109 through a window 110. Then, a bias is impressed on a substrate 102 from a D.C. electric power source 112.

The sputtered grains ionized as mentioned above are accelerated by the negative bias of the substrate 102, and the amount of components vertically incident on the substrate 102 is increased. Accordingly, the deposition of film even into deep grooves and holes can be facilitated.

